

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-172179

(43)Date of publication of application : 02.07.1996

(51)Int.Cl.

H01L 27/148

H04N 5/335

(21)Application number : 06-312908

(71)Applicant : SONY CORP

(22)Date of filing : 16.12.1994

(72)Inventor : NAKAJIMA KAZUTOSHI

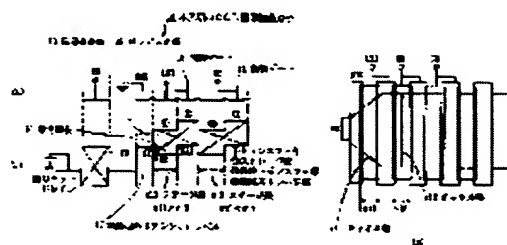
## (54) SOLID STATE IMAGE SENSING ELEMENT

### (57)Abstract:

**PURPOSE:** To provide a solid state image sensing element which prevents the deterioration of transfer efficiency of signal electric charge which is to be caused by long stage length in a final stage H resistor of a horizontal CCD.

**CONSTITUTION:** The title solid state image sensing element consists of an H resistor H2, a final stage H resistor LH1, a final stage output gate HOG, a floating diffusion FD, etc.

The stage length x11 of the LH1 is set to be equal to or shorter than the stage length x12 of the H2, and the potential level 17 of the HOG is set to be deeper than the potential barrier B11 of the LH1. Thereby the transfer of signal electric charge of the final stage H resistor → the final stage output gate → the floating diffusion is smoothly performed, and the transfer efficiency is improved.



## LEGAL STATUS

[Date of request for examination] 15.06.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3393239

[Date of registration] 31.01.2003

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P) (12) 公開特許公報 (A) (11)特許出願公開番号  
特開平8-172179  
(43)公開日 平成8年(1996)7月2日

(5)Int.Cl. <sup>1</sup>	発明記号	庁内整理番号	F I	技術表示箇所
H 01 L 27/148 H 04 N 5/35	F	H 01 L 27/14	B	
審査請求 未請求 請求項の数 3 O L (全 6 頁)				

(21)出願番号 特開平8-312808	(71)出願人 ソニー株式会社 東京都品川区北品川6丁目7番35号
(22)出願日 平成6年(1994)12月16日	(72)発明者 中島 和敏 鹿児島県国分市野口北5番1号 ソニー国分株式会社内

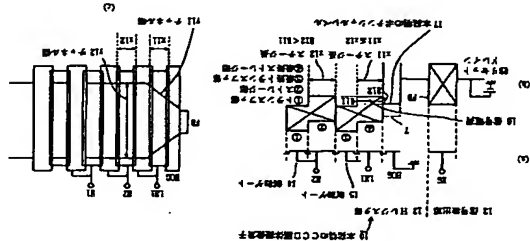
(54) [発明の名称] 固体撮像素子

(57) [要約]

【目的】 水平CCDの最終段Hレジスタにおけるステージ長が長いために生じる信号電荷の転送効率の低下を防ぐ固体撮像素子を提供する。

【構成】 HレジスタH2、最終段HレジスタLH1、最終段出力ゲートHOG、フローティングデフュージョンFD等で構成される。前記LH1のステージ長x11はH2のステージ長x12と同程度に短く設定し、HOGの本発明のポテンシャルレベル17はLH1のポテンシャルレベル18よりも短く設定したという2点の構造的特徴を有している。

【効果】 本発明の固体撮像素子によれば、最終段Hレジスタ最終段出力ゲートフローティングデフュージョンの信号電荷の転送がスムーズに行われるようになり、転送効率が向上する。



【特許請求の範囲】

【請求項1】 ポテンシャルバリア（電子障壁）を有するトランスファクターステージ長を有するストレージ部を備えて成るHレジスタと、

ポテンシャルバリアを有する最終トランスファクターステージ長を有する最終ストレージ部を備えて成る最終段Hレジスタと、

ポテンシャルを有する最終段出力ゲートと、

フローティングデフュージョンと、

出力アンプ部とを備えた水平転送用電荷結合素子（水平CCD）の終段において、

該最終段Hレジスタの最終ストレージ部のステージ長を他のHレジスタのステージ長の同程度以下に設定したことを特徴とする固体撮像素子。

【請求項2】 ポテンシャルバリアを有するトランスファクターステージ長を有するストレージ部を備えて成るHレジスタと、

ポテンシャルバリアを有する最終トランスファクターステージ長を有する最終ストレージ部を備えて成る最終段Hレジスタと、

ポテンシャルを有する最終段出力ゲートと、

フローティングデフュージョンと、

出力アンプ部とを備えた水平転送用電荷結合素子（水平CCD）の終段において、

該最終段出力ゲートのポテンシャルを最終段Hレジスタの最終トランスファクターステージ長よりも長く設定したことを特徴とする固体撮像素子。

【請求項3】 請求項1または請求項2に記載の最終段出力ゲートの信号電荷の蓄積容量が信号電荷の飽和量と略々等しいことを特徴とする固体撮像素子。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、例えばカメラ型VTR等に用いられる固体撮像素子に関し、特に、水平転送用電荷結合素子（以下、単に「水平CCD」と略記する）の終段の形成方法を改良した固体撮像素子に関するものである。

【0002】

【従来の技術】 近年、カラー型VTR等の普及とともに、固体撮像素子、例えばCCD固体撮像素子への高性能化への要求が高まり、その取組が進行している。このCCD固体撮像素子は、大別してフレームトランスファ型、インターライントランスファ型及びフレームインターライン型等が知られている。本発明は、これらいずれの方式に適用しても好適な水平CCDの最終段の形成方法に係わるものであり、以下にその構成を示して説明する。

【0003】 従来技術のCCD固体撮像素子を図3を参照して説明する。図3は従来技術のCCD固体撮像素子の水平CCD部を示す図であり、(a)はゲート電極部の

状を示す断面図であり、(b)はそれに対応したポテンシャルを示す模式図であり、(c)は水平CCDの終段構造を示す平面図である。

【0004】 先ず、図3(a)、(b)において、符号1は従来技術のCCD固体撮像素子を指す。前記従来技術のCCD固体撮像素子1はHレジスタ部2と最終出力部3に大略して構成される。Hレジスタ部2は不図示の転送電極（Vレジスタ）から転送された信号電荷を受取る第1のHレジスタH1（図示省略）と、第2のHレジスタH2（以下、単に「H2」と略記する）と、水平CCDの最終段HレジスタであるLH1（Last H-1以下、単に「LH1」と略記する）と、水平CCDの最終段出力ゲートHOG（H-reguler Output Gate：以下、単に「HOG」と略記する）等で構成される。

【0005】 また、H2はトランスファクターステージ（転送部）①及びストレージ部（蓄積部）②を、LH1は最終トランスファクターステージ③、制御バリア（クロックバリア）④、最終ストレージ部⑤、制御バリア（クロックバリア）⑥を、LH1の最終ストレージ部⑦は、H2のステージ長をx1とし、LH1の最終ストレージ部⑧のステージ長をx2とし、H2のストレージ部⑨のステージ長を示している。また、HOGは常にDC電位であり通常はアース電位に接続されている。

【0006】 信号検出部3はフローティングデフュージョンアンプとソースフォロワーからなるフローティングデフュージョンFD（Floating Diffusion）以下、単に「FD」と略記する）や、その制御の用途に供するリセットゲートRG、信号検出部3のポテンシャルレベルを設定するリセットドレインRD、不図示の容量C、出力アンプ等から構成されている。なお、このFDの等価回路はゲートがハイ・インピーダンス状態で浮いており、ゲートには等価的に容量Cが挿入されて構成されている。

【0007】 次に、従来技術のCCD固体撮像素子1の動作を説明するならば、不図示の面素に光が入射して、転送電極（Vレジスタ）を介してその入射光量に応じた信号電荷がH2に入力されたとする。そこで、H2は制御ゲート4に入力されるクロックパルスに反応してトランスファ部①で信号電荷を受取り、ストレージ部②に転送して蓄積する。つまり、H2のトランスファ部①は転送時に起動して信号電荷を取り込み、ストレージ部②ではポテンシャルを高くしたり低くしたりすることにより、信号電荷の蓄積容量を調整している。また、H2の制御ゲート4に「ローレベル」が、LH1の制御ゲート5に逆相のクロックパルス「ハイレベル」が印加されてLH1がオン状態となり、LH1の最終トランスファ

り低く設定して、信号電荷 16 がスミューズに転送されるようにした点が本発明の第 1 のポイント部分である。

【0025】 信号検出部 13 に付、信号検出部 13 のリセットゲート R G は “ハイレベル” のオン状態となり、F D はリセットドレイン R D のプリチャージレベル (電位) にリセットされる。そして、従来技術と同様に信号電圧  $V_{ig} = Q_{sig}$  (信号電荷) / C (容量) の関係で電荷-電圧変換されて内蔵の出力バッファ (図示せず) から出力される。

【0026】 更に、図 1 (c) を参照して本発明の C C D 固体撮像素子 10 の水平 C C D 部の構造を説明する。図 1 (c) は前述の水平 C C D 部の構造を平面的に示した図であり、H1、H2、LH1、HOG として F D が形成されて構成されている。同図 (c) における x12 は H2 のステージ長を示し、y12 は H2 のチャネル幅を示している。ここで、本発明の第 2 のポイント部分である x11 は従来技術の LH1 のステージ長 x1 と同等又は短く形成した点である。即ち、本発明の C C D 固体撮像素子 10 は、最終段 H レジスタ LH1 のステージ長 x11 を従来技術の最終段 H レジスタ LH1 のステージ長 x1 よりも同等或いは短く設定した点、及び最終段出力ゲート HOG のポテンシャルレベルを最終段 H レジスタ LH1 の最終トランスファ部⑩のポテンシャルバリア B11 よりも同等或いは短く設定したという 2 つの構造的特徴を有している。

【0027】 このように、LH1 のステージ長 x11 を従来技術の LH1 よりも同等或いは短く設定することにより信号電荷の転送効率が増加する。また、LH1 における信号電荷の蓄積容量はその分小さくなるが、HOG のポテンシャルレベルをポテンシャルバリア B11 よりも深く設定することにより、LH1 で溢れた信号電荷 16 は全て F D に捕き捨てられるようになり、画面上発生する不良画素はなくなる。つまり、信号電荷の蓄積容量というのは飽和量までを確保しておけば良く、信号電荷量がそれより大きいときには LH1 の HOG 側でスライズされることとなるため、信号電荷 16 が後段のビットに漏れ込むことがなく画面も流れないことになる。以下、その理由を具体例を挙げて説明する。

【0028】 次に、図 2 を参照して LH1 を溢れた信号電荷が F D に流入する際の動作を説明する。図 2 は本発明の C C D 固体撮像素子 10 の出力部の動作を示すタイミングチャート図であり、上図から水平 C C D 最終段 (LH1)、F D におけるリセットゲート (R G)、(C C D 出力) の各波形を a、b、c、d、e の各ビット毎に示している。即ち、前述のように F D から出力された信号電荷は出力アンプに入力され、1 ビット毎に図示のように (C C D 出力) から出力信号として出力される。その出力信号を相関 2 重サンプリング C D S (Correlated Double Sampling) 方式でサンプリングすることによりプリチャージレベル 20 との差異を出力信号とし

の C C D 固体撮像素子の構造と同一の部分には同一の参照符号を付し、それらの構成や動作の説明を省略する。

【0019】 初めに、図 1 を参照して本発明の固体撮像素子の水平 C C D 部の構成と動作を説明する。図 1 は、本発明の C C D 固体撮像素子の水平 C C D 部を示す図であり、(a) はゲート電圧波形を示す断面図であり、(b) はそれに対応したポテンシャルを示す断面図であり、(c) は水平 C C D の接続構造を示す平面図である。

【0020】 先ず、図 1 (a)、(b) において、符号 10 は本発明の C C D 固体撮像素子を指す。前記本発明の C C D 固体撮像素子 10 は、従来技術の C C D 固体撮像素子 1 と同様に H レジスタ部 12 と信号検出部 13 に大略して構成される。前記 H レジスタ部 12 は H レジスタである H2 と、最終段 H レジスタである LH1 と、最終段出力ゲートである HOG 等で構成される。また、前記 H2 にはクロックパルスを加算するための前段ゲート 14 が、前記 LH1 には前段ゲート 15 が備えられており、転送用のクロックパルスが各々逆位相にて印加されるようになされている。

【0021】 また、H レジスタ H2 はトランスファ部⑨やステージ部⑥、LH1 の最終トランスファ部⑩や最終トランスファ部⑩を備えて構成されており、LH1 の最終トランスファ部⑩はポテンシャルバリア B11 で、同じく LH1 の最終ステージ部⑥はポテンシャルバリア B12 にて分離されている。また、図中の x11 は LH1 の最終ステージ部⑥のステージ長を、x12 は H2 のステージ部⑥のステージ長を示している。HOG は通常アース端子に接続されている。ここで、符号 17 は HOG における接続で示した従来のポテンシャルレベル 7 に対する本発明のポテンシャルレベルを示している。

【0022】 信号検出部 13 はフローティングデフュージョン F D や、その制御の用途に供するリセットゲート R G、信号検出部 13 のポテンシャルレベルを設定するリセットドレイン R D、不図示の容量 C、出力アンプ等から構成されている。

【0023】 次に、本発明の C C D 固体撮像素子 10 の動作を説明するならば、画面に光が入射して不図示の V レジスタを介して H2 に信号電荷 16 が入力されたとすると、前記 H2 のトランスファ部⑨においてその信号電荷 16 を受け、ステージ部⑥に転送して蓄積する。次に、LH1 の制御ゲート 15 に “ハイレベル” が印加されて最終状態となり LH1 の最終トランスファ部⑩を介して最終ステージ部⑥に信号電荷 16 が転送されて蓄積される (同図 (b) はこの状態を示している)。

【0024】 また、引き続き LH1 をオフ状態にすることで F D に信号電荷 16 が転送される。このように、HOG における本発明のポテンシャルレベル 17 を LH1 の最終トランスファ部⑩のポテンシャルバリア B11 より

も低く設定し、信号電荷 16 がスミューズに転送されるようにした点が本発明の第 1 のポイント部分である。

【0025】 信号検出部 13 に付、信号検出部 13 のリセットゲート R G は “ハイレベル” のオン状態となり、F D はリセットドレイン R D のプリチャージレベル (電位) にリセットされる。そして、従来技術と同様に信号電圧  $V_{ig} = Q_{sig}$  (信号電荷) / C (容量) の関係で電荷-電圧変換されて内蔵の出力バッファ (図示せず) から出力される。

【0026】 更に、図 1 (c) を参照して本発明の C C D 固体撮像素子 10 の水平 C C D 部の構造を説明する。図 1 (c) は前述の水平 C C D 部の構造を平面的に示した図であり、H1、H2、LH1、HOG として F D が形成されて構成されている。同図 (c) における x12 は H2 のステージ長を示し、y12 は H2 のチャネル幅を示している。ここで、本発明の第 2 のポイント部分である x11 は従来技術の LH1 のステージ長 x1 と同等又は短く形成した点である。即ち、本発明の C C D 固体撮像素子 10 は、最終段 H レジスタ LH1 のステージ長 x11 を従来技術の最終段 H レジスタ LH1 のステージ長 x1 よりも同等或いは短く設定した点、及び最終段出力ゲート HOG のポテンシャルレベルを最終段 H レジスタ LH1 の最終トランスファ部⑩のポテンシャルバリア B11 よりも同等或いは短く設定したという 2 つの構造的特徴を有している。

【0027】 このように、LH1 のステージ長 x11 を従来技術の LH1 よりも同等或いは短く設定することにより信号電荷の転送効率が増加する。また、LH1 における信号電荷の蓄積容量はその分小さくなるが、HOG のポテンシャルレベルをポテンシャルバリア B11 よりも深く設定することにより、LH1 で溢れた信号電荷 16 は全て F D に捕き捨てられるようになり、画面上発生する不良画素はなくなる。つまり、信号電荷の蓄積容量というのは飽和量までを確保しておけば良く、信号電荷量がそれより大きいときには LH1 の HOG 側でスライズされることとなるため、信号電荷 16 が後段のビットに漏れ込むことがなく画面も流れないことになる。以下、その理由を具体例を挙げて説明する。

【0028】 次に、図 2 を参照して LH1 を溢れた信号電荷が F D に流入する際の動作を説明する。図 2 は本発明の C C D 固体撮像素子 10 の出力部の動作を示すタイミングチャート図であり、上図から水平 C C D 最終段 (LH1)、F D におけるリセットゲート (R G)、(C C D 出力) の各波形を a、b、c、d、e の各ビット毎に示している。即ち、前述のように F D から出力された信号電荷は出力アンプに入力され、1 ビット毎に図示のように (C C D 出力) から出力信号として出力される。その出力信号を相関 2 重サンプリング C D S (Correlated Double Sampling) 方式でサンプリングすることによりプリチャージレベル 20 との差異を出力信号とし

の C C D 固体撮像素子の構造と同一の部分には同一の参照符号を付し、それらの構成や動作の説明を省略する。

【0019】 初めに、図 1 を参照して本発明の固体撮像素子の水平 C C D 部の構成と動作を説明する。図 1 は、本発明の C C D 固体撮像素子の水平 C C D 部を示す図であり、(a) はゲート電圧波形を示す断面図であり、(b) はそれに対応したポテンシャルを示す断面図であり、(c) は水平 C C D の接続構造を示す平面図である。

【0020】 先ず、図 1 (a)、(b) において、符号 10 は本発明の C C D 固体撮像素子を指す。前記本発明の C C D 固体撮像素子 10 は、従来技術の C C D 固体撮像素子 1 と同様に H レジスタ部 12 と信号検出部 13 に大略して構成される。前記 H レジスタ部 12 は H レジスタである H2 と、最終段 H レジスタである LH1 と、最終段出力ゲートである HOG 等で構成される。また、前記 H2 にはクロックパルスを加算するための前段ゲート 14 が、前記 LH1 には前段ゲート 15 が備えられており、転送用のクロックパルスが各々逆位相にて印加されるようになされている。

【0021】 また、H レジスタ H2 はトランスファ部⑨やステージ部⑥、LH1 の最終トランスファ部⑩や最終トランスファ部⑩を備えて構成されており、LH1 の最終トランスファ部⑩はポテンシャルバリア B11 で、同じく LH1 の最終ステージ部⑥はポテンシャルバリア B12 にて分離されている。また、図中の x11 は LH1 の最終ステージ部⑥のステージ長を、x12 は H2 のステージ部⑥のステージ長を示している。HOG は通常アース端子に接続されている。ここで、符号 17 は HOG における接続で示した従来のポテンシャルレベル 7 に対する本発明のポテンシャルレベルを示している。

【0022】 信号検出部 13 はフローティングデフュージョン F D や、その制御の用途に供するリセットゲート R G、信号検出部 13 のポテンシャルレベルを設定するリセットドレイン R D、不図示の容量 C、出力アンプ等から構成されている。

【0023】 次に、本発明の C C D 固体撮像素子 10 の動作を説明するならば、画面に光が入射して不図示の V レジスタを介して H2 に信号電荷 16 が入力されたとすると、前記 H2 のトランスファ部⑨においてその信号電荷 16 を受け、ステージ部⑥に転送して蓄積する。次に、LH1 の制御ゲート 15 に “ハイレベル” が印加されて最終状態となり LH1 の最終トランスファ部⑩を介して最終ステージ部⑥に信号電荷 16 が転送されて蓄積される (同図 (b) はこの状態を示している)。

【0024】 また、引き続き LH1 をオフ状態にすることで F D に信号電荷 16 が転送される。このように、HOG における本発明のポテンシャルレベル 17 を LH1 の最終トランスファ部⑩のポテンシャルバリア B11 より

も低く設定し、信号電荷 16 がスミューズに転送されるようにした点が本発明の第 1 のポイント部分である。

【0025】 信号検出部 13 に付、信号検出部 13 のリセットゲート R G は “ハイレベル” のオン状態となり、F D はリセットドレイン R D のプリチャージレベル (電位) にリセットされる。そして、従来技術と同様に信号電圧  $V_{ig} = Q_{sig}$  (信号電荷) / C (容量) の関係で電荷-電圧変換されて内蔵の出力バッファ (図示せず) から出力される。

【0026】 更に、図 1 (c) を参照して本発明の C C D 固体撮像素子 10 の水平 C C D 部の構造を説明する。図 1 (c) は前述の水平 C C D 部の構造を平面的に示した図であり、H1、H2、LH1、HOG として F D が形成されて構成されている。同図 (c) における x12 は H2 のステージ長を示し、y12 は H2 のチャネル幅を示している。ここで、本発明の第 2 のポイント部分である x11 は従来技術の LH1 のステージ長 x1 と同等又は短く形成した点である。即ち、本発明の C C D 固体撮像素子 10 は、最終段 H レジスタ LH1 のステージ長 x11 を従来技術の最終段 H レジスタ LH1 のステージ長 x1 よりも同等或いは短く設定した点、及び最終段出力ゲート HOG のポテンシャルレベルを最終段 H レジスタ LH1 の最終トランスファ部⑩のポテンシャルバリア B11 よりも同等或いは短く設定したという 2 つの構造的特徴を有している。

【0027】 このように、LH1 のステージ長 x11 を従来技術の LH1 よりも同等或いは短く設定することにより信号電荷の転送効率が増加する。また、LH1 における信号電荷の蓄積容量はその分小さくなるが、HOG のポテンシャルレベルをポテンシャルバリア B11 よりも深く設定することにより、LH1 で溢れた信号電荷 16 は全て F D に捕き捨てられるようになり、画面上発生する不良画素はなくなる。つまり、信号電荷の蓄積容量というのは飽和量までを確保しておけば良く、信号電荷量がそれより大きいときには LH1 の HOG 側でスライズされることとなるため、信号電荷 16 が後段のビットに漏れ込むことがなく画面も流れないことになる。以下、その理由を具体例を挙げて説明する。

【0028】 次に、図 2 を参照して LH1 を溢れた信号電荷が F D に流入する際の動作を説明する。図 2 は本発明の C C D 固体撮像素子 10 の出力部の動作を示すタイミングチャート図であり、上図から水平 C C D 最終段 (LH1)、F D におけるリセットゲート (R G)、(C C D 出力) の各波形を a、b、c、d、e の各ビット毎に示している。即ち、前述のように F D から出力された信号電荷は出力アンプに入力され、1 ビット毎に図示のように (C C D 出力) から出力信号として出力される。その出力信号を相関 2 重サンプリング C D S (Correlated Double Sampling) 方式でサンプリングすることによりプリチャージレベル 20 との差異を出力信号とし

の C C D 固体撮像素子の構造と同一の部分には同一の参照符号を付し、それらの構成や動作の説明を省略する。

【0019】 初めに、図 1 を参照して本発明の固体撮像素子の水平 C C D 部の構成と動作を説明する。図 1 は、本発明の C C D 固体撮像素子の水平 C C D 部を示す図であり、(a) はゲート電圧波形を示す断面図であり、(b) はそれに対応したポテンシャルを示す断面図であり、(c) は水平 C C D の接続構造を示す平面図である。

【0020】 先ず、図 1 (a)、(b) において、符号 10 は本発明の C C D 固体撮像素子を指す。前記本発明の C C D 固体撮像素子 10 は、従来技術の C C D 固体撮像素子 1 と同様に H レジスタ部 12 と信号検出部 13 に大略して構成される。前記 H レジスタ部 12 は H レジスタである H2 と、最終段 H レジスタである LH1 と、最終段出力ゲートである HOG 等で構成される。また、前記 H2 にはクロックパルスを加算するための前段ゲート 14 が、前記 LH1 には前段ゲート 15 が備えられており、転送用のクロックパルスが各々逆位相にて印加されるようになされている。

【0021】 また、H レジスタ H2 はトランスファ部⑨やステージ部⑥、LH1 の最終トランスファ部⑩や最終トランスファ部⑩を備えて構成されており、LH1 の最終トランスファ部⑩はポテンシャルバリア B11 で、同じく LH1 の最終ステージ部⑥はポテンシャルバリア B12 にて分離されている。また、図中の x11 は LH1 の最終ステージ部⑥のステージ長を、x12 は H2 のステージ部⑥のステージ長を示している。HOG は通常アース端子に接続されている。ここで、符号 17 は HOG における接続で示した従来のポテンシャルレベル 7 に対する本発明のポテンシャルレベルを示している。

て取出すようになされている。

【0029】前記H1から離れた信号電荷は、(LH1)のタイミングが「ハイレベル」で、リセットゲート(RG)が「ローレベル」のときにFDに注入することになるが、図2aの期間ではリセットゲート(RG)が「ハイレベル」になされている出力信号レベルはリセットドレインの信号レベルにクランプされており、プリチャージレベル20の図解の問題はなく、「a」の期間でH1から離れた信号電荷が全て掃き出された場合の出力信号レベル22は変化せしめられることはない。

【0030】bの期間において、リセットゲート(RG)が「ローレベル」においても信号電荷が漏れていた場合は、図2dに示す如くプリチャージレベル20は変動する。また、bの期間で信号電荷が徐々に漏れて図2aで示すようにプリチャージレベル20が変動した場合においてもプリチャージレベル20が変動するが、同様にデータレベル21も変動するため、相関2重サンプリングにてサンプリングされる「プリチャージレベル」が変動した場合の出力信号レベル23は変化せしめられることはない。

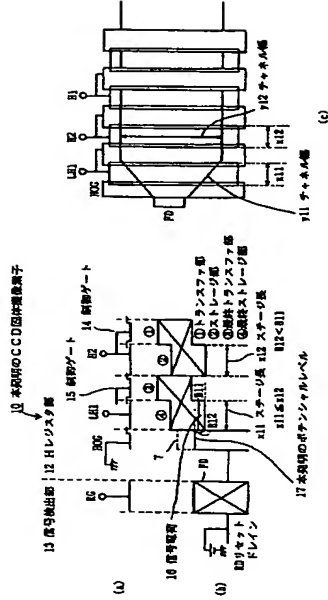
【0031】更に、相関2重サンプリングでプリチャージレベルが正しくクランプされなくとも、それは信号電荷の飽和を越えた範囲における問題であり、飽和までの特性を保持しているCCD固体撮像素子にとって、は、画質的に全く問題は発生しないことが立証される。つまり、例えば信号電荷が漏れてFDに前を掃き出される場合においても、その信号電荷が飽和を越えていない場合には画質的に問題が発生することはない。

【0032】本発明は前記実施例に限定されず、種々の変形形態を得ることができる。例えば前記実施例ではインターライントランスファ型固体撮像素子について説明したが、フレームトランスファ型、フ列ームインタライン型固体撮像素子にも適用可能であり、固体撮像素子の構造に所ら限定されない。また、画素中に暗像回路が形成されたAM1 (Amplified MOS Intelligent Image) デバイスや、その他画像入力デバイスに適用可能なことは言うまでもない。

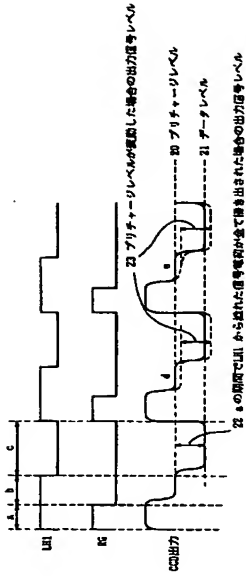
【0033】

【発明の効果】以上説明したように、本発明の固体撮像素子によれば、固体撮像素子の最終段Hレジスタのステージ長を従来の最終段Hレジスタのステージ長よりも短く設定したため、最終段Hレジスタの最終出力ゲートアンプアレイのゲートウェッジングの信号電荷の転送がスムーズに行われるようになり、転送効率が高くなる。同時に、固体撮像素子の最終段Hレジスタのポテンシャルレベルを最終段Hレジスタの最終トランスファ部のポテンシャルレベルよりも深く設定したため

【図1】



【図2】



【図3】

